

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-111318

(43)Date of publication of application : 25.04.1995

(51)Int.Cl.

H01L 27/10
G11C 11/22
H01L 27/04
H01L 21/822
H01L 21/8242
H01L 27/108

(21)Application number : 05-254378

(71)Applicant : OLYMPUS OPTICAL CO LTD
SYMMETRICS CORP

(22)Date of filing : 12.10.1993

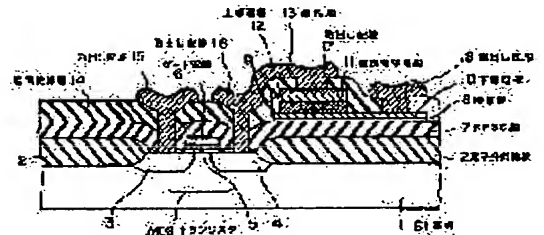
(72)Inventor : WATANABE HITOSHI
KURODA YOSHIKI
TADOKORO KAORU

(54) FERROELECTRIC MEMORY

(57)Abstract:

PURPOSE: To stop the reducing reaction and the degeneration of the surface of an oxide ferroelectric body, and to prevent the peeling between the ferroelectric thin film and the upper and the lower electrodes in a MOS sintering process.

CONSTITUTION: This ferroelectric memory is provided with a semiconductor substrate 1, a dielectric thin film capacitor 9 formed by successively laminating a lower electrode 10, an oxide ferroelectric thin film 11 and an upper electrode 12 on the substrate 1, and a protective film 12 which is mainly composed of a nitride thin film of an aluminum, silicon or titanium coating the surface of the capacitor 9.



LEGAL STATUS

[Date of request for examination] 06.10.2000

[Date of sending the examiner's decision of rejection] 07.05.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-111318

(43) 公開日 平成7年(1995)4月25日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/10	4 5 1	7210-4M		
G 1 1 C 11/22				
H 0 1 L 27/04				
		8832-4M	H 0 1 L 27/ 04	C
		7210-4M	27/ 10	3 2 5 J
審査請求 未請求 請求項の数 7 O L (全 10 頁) 最終頁に続く				

(21) 出願番号 特願平5-254378

(22) 出願日 平成5年(1993)10月12日

(71) 出願人 000000376

オリンパス光学工業株式会社
東京都渋谷区幡ヶ谷2丁目43番2号

(71) 出願人 590006468

シメトリックス・コーポレーション
SYMETRIX CORPORATION

アメリカ合衆国、コロラド州 80918、コ
ロラド・スプリングス、ナンバー100、マ
ーク・ダブリング・プールバード 5055

(74) 代理人 弁理士 鈴江 武彦

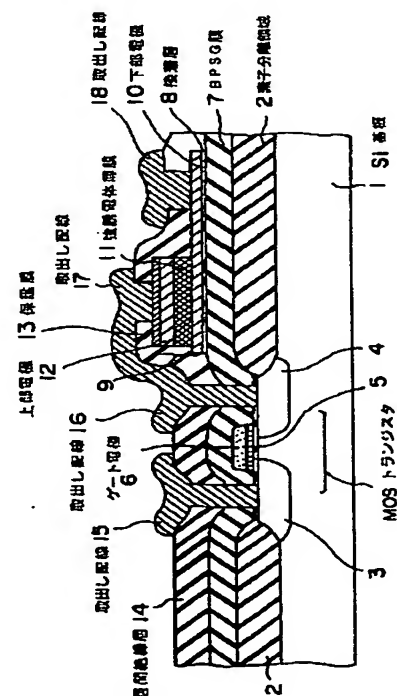
最終頁に続く

(54) 【発明の名称】 強誘電体メモリ

(57) 【要約】

【目的】 この発明は、酸化物強誘電体表面の還元反応、変質を阻止するとともに、MOSシンター工程において強誘電体薄膜と上下電極間の剥離を防止することを主要な目的とする。

【構成】 半導体基板(1)と、この基板(1)上に設けられ、下部電極(10)、酸化物強誘電体薄膜(11)、上部電極(12)の順次積層して構成される誘電体薄膜キャパシタ(9)と、このキャパシタ(9)表面に被覆された、アルミニウム、シリコンもしくはチタンの窒化物薄膜を主要な構成要素とする保護膜(12)とを具備したことを特徴とする強誘電体メモリ。



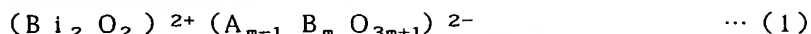
【特許請求の範囲】

【請求項1】 半導体基板と、この基板上に設けられ、下部電極、酸化物強誘電体薄膜、上部電極の順次積層して構成される強誘電体薄膜キャパシタと、このキャパシタ表面に被覆された、アルミニウム、シリコンもしくはチタンの窒化物薄膜を主要な構成要素とする保護膜とを具備したことを特徴とする強誘電体メモリ。

【請求項2】 前記保護膜が、強誘電体薄膜キャパシタを構成する酸化物強誘電体と同組成または一部構成元素を共有する酸化物薄膜を主要な構成要素とするものであることを特徴とする請求項記載の強誘電体メモリ。

【請求項3】 前記保護膜が、部分結晶膜又は非晶質膜であることを特徴とする請求項1記載の強誘電体メモリ。

【請求項4】 前記半導体基板と強誘電体薄膜キャパシ



但し、 $A = Bi, Pb, Ba, Sr, Ca, Na, K, Cd$ の内から選ばれる1つもしくは複数元素からなる任意比率による組み合わせ。 $B = Ti, Nb, Ta, W, Mo, Fe, Co, Cr$ の内から選ばれる1つもしくは複数元素からなる任意比率による組み合わせ。 $m = 1 \sim 5$ の自然数。

【請求項7】 前記ビスマス層状ペロブスカイト型化合物が $SrBi_2(Ta_xNb_{1-x})_2O_9$ ($x = 0 \sim 1.0$) であり、元素BがTa又はNbであることを特徴とする請求項1記載の強誘電体メモリ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は強誘電体メモリに関し、特に酸化物強誘電体薄膜の残留分極特性を利用した強誘電体メモリに関する。

【0002】

【従来の技術】 従来、強誘電体化合物は、その特異な電気特性を利用して多くの分野に応用されている。例えば、圧電性を利用した圧電フィルタや超音波トランスデューサに、また焦電性を利用して赤外線センサやパイロビジコンに、あるいは電気光学効果を利用した光変調素子や光シャッタ等の多方面に応用されている。さらにこれらの材料の薄膜を利用した電子デバイスも考案され、薄膜化の検討が精力的になされている。特に、残留分極の安定性を利用した強誘電体薄膜キャパシタ搭載の不揮発性メモリデバイスは、最近の記憶容量の高密度化、高集積化競争を背景にもっとも注目されている分野である。

【0003】 こうした多用途に応じて競って研究されている代表材料として、PZT（チタン酸ジルコン酸鉛）、PLZT（チタン酸ジルコン酸ランタン鉛）等、一連の鉛含有複合酸化物強誘電体が挙げられ、多年にわたって多くの研究者により実用化の検討が続けられている。

【0004】 また、その他の有望誘電体材料として、ビ

タ間に保護膜と同組成、同構造の下引層を設けたことを特徴とする請求項1記載の強誘電体メモリ。

【請求項5】 前記強誘電体薄膜キャパシタと半導体基板上に別途設けられたトランジスタ素子群が前記保護膜及び／又はこの保護膜に積層された層間絶縁膜を隔てて窒化アルミニウムとアルミニウム－シリコン合金の積層配線電極で電気的に接続されていることを特徴とする請求項1記載の強誘電体メモリ。

【請求項6】 前記酸化物強誘電体薄膜が、下記一般式(1)で表現される組成を有するビスマス層状ペロブスカイト型化合物からなり、かつ膜厚方向に下記元素Bの濃度勾配を有し、上部電極との界面においては元素Bが富裕に含有されていることを特徴とする請求項1記載の強誘電体メモリ。

スマス層状ペロブスカイト型酸化物強誘電体の薄膜も従来の中心材料であったPZT、PLZT等の薄膜に比較して情報の記録消去回数でさらに数桁以上上回る優れた耐疲労特性を示し、高い耐久性能を有する不揮発性メモリデバイス、その他の電子、光学デバイスに応用することができる。

【0005】 上記の強誘電体薄膜は、予め焼成したセラミックターゲットを用いたスパッタ法や金属の反応蒸着法等の物理的成膜法、金属有機化合物を気相堆積するCVD法、同様の化合物溶液を塗布することによって成膜するゾルゲル法、MOD法等によって形成することができる。

【0006】 一般に、強誘電体材料は残留分極のヒステリシス特性を有し、この特性を利用して不揮発性メモリとしてデータを記憶することができる。こうした強誘電体材料を用いた強誘電体メモリ1は、図1に示すように、MOSトランジスタ等で構成されるスイッチング素子、増幅アンプ等の周辺素子群2を形成した例えばシリコン半導体からなる基板3上に、白金等を用いた下部電極4、強誘電体薄膜5、上部電極6を順次積層してなる強誘電体薄膜キャパシタ7を設け、更にスパッタ法やCVD法によりシリコン酸化膜からなる層間絶縁膜8を設け、更には配線電極9により素子間を接続して構成される。

【0007】 以上の基本構造に加えて、下部電極4の基板密着性を向上させるための下引き層10や強誘電体薄膜キャパシタを各種環境変化から保護するための保護膜（図示せず）等が必要に応じて設けられる。ここで、従来の強誘電体メモリの保護膜としては、例えば下記のもの提案されている。

(1) 強誘電体PZT薄膜と上部電極間に Ti_3N_4 層を設けると同時にPZTを直接 Si_3N_4 層で被覆することによってPZTからの酸素脱離を防ぎ、スイッチング疲労特性を改善する（特開平2-183569号）。

(2) 白金又はパラジウムからなる第1導電膜とチタン、窒化チタン、チタン-タングステン合金、モリブデンシリサイドからなる第2導電膜を積層してキャパシタ上部電極とすることによりアルミニウム配線電極と第1導電層の合金化を防止して後工程における熱処理を可能とする(特開平2-90606号)。

【0008】

【発明が解決しようとする課題】しかしながら、前述した強誘電体メモリは、その製造過程においてスパッタ法やスピオン法で成膜された強誘電体薄膜の結晶化に不可欠な600～900℃に及ぶ比較的高温の熱処理工程を経たり、イオンミリング等の高エネルギービームによる加工工程や反応性プラズマエッチングによるプラズマ被爆によって、半導体シリコン基板の単結晶構造中に多数の格子欠陥を生じ、これが基板上のMOSトランジスタ特性を劣化させる。

【0009】このため、特性改善のために最終工程において水素混合窒素ガス(フォーミングガス)雰囲気中において350～450℃の熱処理(MOSシンター)を行なうことにより、H₂の還元性を利用して単結晶シリコン中に発生したダングリングボンド等の欠点を終端し劣化したMOS特性を修復する必要がある。

【0010】ところが、強誘電体薄膜用電極材料として水素に対して易透過性である白金等が使用される。そのため、還元性雰囲気中の熱処理工程において、上記層間絶縁膜及び上部電極を拡散透過して上部電極と強誘電体薄膜の界面及びキャパシタ側面まで到達した水素の還元作用によって、界面近傍の酸化物が酸化還元反応を起こしたり分解して、この界面における化学変化に起因して上部電極との密着性が低下したり、反応生成物である酸素、水等によって上部電極が押し上げられたりして、その結果上部電極と強誘電体薄膜との界面で剥離が発生させる問題があった。

【0011】また、時には還元性雰囲気のデバイス内部への浸透はキャパシタ側面を通して下部電極まで及ぶと考えられ、比較的大きな内部応力が残留し易いA1-Si配線電極を用いた場合にはキャパシタ全体が半導体基板そのものから剥離してしまうような不具合も生じることがあった。このような問題は、強誘電体薄膜キャパシタとシリコン半導体デバイスを組み合わせて強誘電体メモリを構成する上で新たな対策が必要とされてきた。

【0012】この発明はこうした事情を考慮してなされたもので、酸化物強誘電体薄膜キャパシタとシリコンデバイスとで構成される強誘電体メモリにおいて還元性雰囲気下でのMOSシンター工程において強誘電体薄膜と上下電極間の剥離を防止しうる構造を提供することを目的とする。

【0013】

【課題を解決するための手段】この発明は、半導体基板と、この基板上に設けられ、下部電極、酸化物強誘電体

薄膜、上部電極の順次積層して構成される強誘電体薄膜キャパシタと、このキャパシタ表面に被覆された、アルミニウム、シリコンもしくはチタンの窒化物薄膜を主要な構成要素とする保護膜とを具備したことを特徴とする強誘電体メモリである。

【0014】この発明において、前記保護膜の材料であるアルミニウム、シリコンもしくはチタンの窒化物薄膜は、膜密度が比較的高く、酸化物と比較して化学的にも安定であり容易には水素ガスを透過させず、膜厚は20nm～100nmの範囲にすることが望ましい。

【0015】前記窒化物薄膜は、周知の各種成膜法、例えばdc又はrfスパッタ法やイオンビームデポジション、CVD法、時にはゾルゲル法を用いることで容易に成膜可能である。

【0016】この発明において、主要な構成要素とは還元性ガスの拡散透過を防止する効果を指しており、他の構成要素としては前記窒化物薄膜と上部電極又は層間絶縁膜との密着性を改善するために設けられる補強層などのことをいう。通常、窒化物薄膜と他の薄膜とを積層する場合の補強層としては、共有金属の酸化物薄膜が適している。特に、酸化物補強層の存在によって窒化物薄膜の電極剥離防止効果が損なわれることはない。

【0017】なお、上記窒化物のうちチタン、アルミニウムの窒化物は導電性を維持できるため、キャパシタ上部電極の全面を被覆して水素遮蔽効果を上げることができる。窒化シリコンの場合は絶縁性であるため、配線電極と上部電極を電氣的に接合するためのコンタクトホールを穿って貫通させる必要がある。従って、コンタクトホールの面積分だけ保護膜が除去されるため、保護膜としての効果は低下するがキャパシタ側面を直接被覆できるため、側方への回り込みを防止できる。また、1種類の保護膜でキャパシタを保護するのではなく、上部電極面をアルミニウムもしくはチタンの窒化物、側面をシリコン窒化物で併用被覆してもよい。

【0018】この発明において、上記金属窒化物薄膜以外の保護膜として、保護される対象である強誘電体薄膜キャパシタを構成する強誘電体材料と同組成又は一部構成要素を共有する酸化物強誘電体薄膜で上部電極表面を被覆することも有効な手段である。配線電極、層間絶縁膜を拡散透過して上部電極上に設けられたこの酸化物強誘電体からなる保護膜表面まで到達した水素は酸化物強誘電体の還元反応に消費され上部電極を越えて内部まで到達することがない。

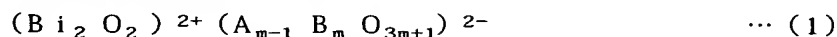
【0019】従って、この場合の保護膜材料として最も好ましいのは組成的にも結晶構造の上でも同等であり、水素との反応性もキャパシタ強誘電体薄膜と等しい薄膜である。但し、メモリデバイスの構造上数種の電極や金属層がこれを挟んで存在するような場合は、保護膜が単なる誘電体でなく強誘電体であるとデバイスの動作そのものに支障をきたすこともある。そのような場合は、保

保護膜成膜時の焼成温度を強誘電体の結晶化温度以下にすることにより非晶質もしくは部分結晶化するに止め、強誘電性の発現を抑制することが望ましい。

【0020】このように自ら還元性気体と反応することによって、それ以上の内部拡散を抑止する効果を示す薄膜材料は、必ずしも強誘電体薄膜キャパシタを構成する酸化物強誘電体と同一組成ではなくともよく、例えば一部元素を置き換えた化合物や特定元素を取り除いた化合物も同じ目的に供し得る。例えば、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 薄膜をキャパシタ材料とするデバイスでは SrTa_2O_6 や $\text{SrBi}_2\text{Nb}_2\text{O}_9$ の薄膜も保護膜として十分な効果を与える。このときもこれらの保護膜は充分酸化されていれば結晶化膜であっても、部分結晶化膜であっても、さらには非晶質膜であってもよいのは当然である。

【0021】更には、上記保護膜は強誘電体キャパシタ上部電極の外表面だけでなく、キャパシタ群を直接被覆する層間絶縁膜の上から（配線電極の下引き層として）基板全体を被覆する構成をとっても同様の効果を与えることができる。加えて、この保護膜と同組成、同構造の下引き層をシリコン基板表面に設けその上にキャパシタ下部電極を形成し、上述の構造にしたがって、強誘電体メモリを構成してもよい。この下引き層はキャパシタ側面から回り込む還元性気体を遮蔽し、下部電極からの剥離を防止する効果を示す。

【0022】また、当然の構成として配線電極まで構成した強誘電体メモリの表面全面を本発明の保護膜を用いて被覆することによっても強誘電体薄膜キャパシタへの



但し、 $\text{A}=\text{Bi}$ 、 Pb 、 Ba 、 Sr 、 Ca 、 Na 、 K 、 Cd の内から選ばれる1つもしくは複数元素からなる任意比率による組み合わせ。 $\text{B}=\text{Ti}$ 、 Nb 、 Ta 、 W 、 Mo 、 Fe 、 Co 、 Cr の内から選ばれる1つもしくは複数元素からなる任意比率による組み合わせ。

【0026】 $m=1\sim 5$ の自然数。こうして得られた膜厚方向に元素Bの濃度勾配を有し、上部電極との界面においては元素Bが富裕に含有されているピスマス層状ペロブスカイト型化合物からなる強誘電体薄膜で構成された薄膜キャパシタでは、還元性雰囲気中でのフォーミング処理において、一部の結晶構造は還元されて破壊されて若干の残留分極量低下と抗電界の増加が見られるが、偏析成分であるところのB元素酸化物もしくはその一部還元体が電極金属との接合を合金化反応をも含んで補強することによって、電極の剥離を防止する効果が発生する。特に、キャパシタ強誘電体が $\text{SrBi}_2(\text{Ta}_x\text{Nb}_{1-x})_2\text{O}_9$ ($x=0\sim 1.0$) で表されるピスマス層状ペロブスカイト型化合物であり、元素BがTaまたはNbである場合は残留分極量の絶対値並びに電極接合強度共に優れた強誘電体メモリを構成することができる。

還元気体の影響を防止することができる。この場合、保護膜は多層膜であってもよく、例えば酸化シリコン膜を介して設けるも、逆の構成として保護膜の表面にさらに同様の酸化シリコンの層を設けてもよい。この構成においては保護膜による水素透過防止効果が大き過ぎて、MOSトランジスタ部へ特性回復に十分な水素量を供給できないため、MOSトランジスタ部上の保護膜を除去した構成することもできる。

【0023】上述の電極剥離防止の保護膜を含む強誘電体メモリの構造は強誘電体材料の種類を選ばないが、酸化物強誘電体薄膜が下記の一般式(1)で表現される組成を有するピスマス層状ペロブスカイト型化合物からなる場合は、強誘電体材料の組成そのものを調整することによっても著しい剥離防止効果を得ることができる。式(1)におけるBサイト元素は金属状態であっても、また酸化物状態にあってもそのいずれもが酸化シリコンやその他の金属との密着性に優れ電極金属や下引き層や熱膨脹率、格子定数の異なる層間の接合層として多用される元素である。

【0024】ここで、強誘電体薄膜の成膜時に、予めB元素過剰に成膜し、高温で焼成することによって化学量論組成の膜と同様の強誘電体相と過剰配合によって、その多くは薄膜表面に、偏析した元素Bの酸化物微粒子を同時に形成することができる。同様の元素Bの表面偏析は下層に化学量論比組成、上層に元素B過剰組成の多層膜を形成してこれを焼成しても実現することができる。

【0025】

【0027】

【作用】この発明によれば、強誘電体薄膜キャパシタの上部電極の表面やキャパシタ側面等に還元性ガスの内部拡散浸透を防止する保護膜を設けること、又は、強誘電体材料薄膜の一部構成元素を過剰に配合することにより、酸化物強誘電体表面の還元反応、変質を阻止できる。また、従来のようにフォーミング処理により上部電極、下部電極が強誘電体薄膜から剥離するのを防止できる。

【0028】

【実施例】以下、本発明の実施例を比較例とともに図面を参照して説明する。

（実施例1）図1を参照する。図中の1は、表面に素子分離領域2が形成されたシリコン基板である。前記素子分離領域2で囲まれた基板1の素子領域にはソース領域3、ドレイン領域4が形成され、更にこれら領域3、4間の基板1上にはゲート絶縁膜5を介してゲート電極6が形成されている。ここで、前記ソース・ドレイン領域3、4及びゲート電極6を総称してMOSトランジスタと呼ぶ。

【0029】前記素子分離領域2を含む基板1全面に

は、BPSG（ボロン燐ドーパ酸化シリコン）膜7が形成されている。前記素子分離領域2上のBPSG膜7上には、チタン等の膜厚20nmの下引層（接着層）8を介して強誘電体薄膜キャパシタ9が形成されている。この強誘電体薄膜キャパシタ9は、Ptからなる膜厚200nmの下部電極10と、この下部電極10上に順次形成された強誘電体薄膜11及びPtからなる膜厚200nmの上部電極12から形成され、上部電極12上には膜厚50nmの保護膜13とから構成されている。前記強誘電体薄膜11は、PZT（40/60）のゾルゲル薄膜からなる。

【0030】前記強誘電体薄膜キャパシタ9を含む前記BPSG膜7上には、層間絶縁膜14が形成されている。前記MOSトランジスタのソース領域3、ドレイン領域に対応する前記層間絶縁膜14及びBPSG膜7には開口部が形成され、この開口部にソース取出し配線15、ドレイン取出し配線16が形成されている。また、前記強誘電体薄膜キャパシタ9の上部保護膜13、下部電極10に対応する前記層間絶縁膜14にも開口部が形成され、これら開口部に上部電極用取出し配線17、下部電極用取出し配線18が形成されている。前記ドレイン取出し配線16と上部電極用取出し配線17とは電気的に接続されている。また、上記各取出し配線はAl-Siからなる。

【0031】図1の構成の強誘電体メモリは次のようにして製造する。

(1) まず、半導体微細加工技術等の周知の技術により、基板1の表面に素子分離領域2を形成した後、この素子分離領域2で囲まれた素子領域にソース領域3、ドレイン領域4、ゲート電極6などからなるMOSトランジスタを形成した。つづいて、基板全面にBPSG膜7を形成したのち、前記素子分離領域2上にdcスパッタ法により膜厚200nmの下部電極10を、膜厚20nmの接着層8を介して形成した。次に、所定の濃度、組成に調整、部分加水分解を施したゾルゲルPZT前駆体溶液のスピンコート塗布、乾燥、仮焼を繰り返して所望膜厚の仮焼薄膜を成膜し、最後に酸素雰囲気中で所定の温度において焼成処理を行って膜厚300nmの強誘電性PZT薄膜（強誘電体薄膜）11を得た。ひきつづき、前記強誘電体薄膜11上に下部電極10と同膜厚（200nm）の上部電極材をスパッタし、更に上部電極10上にdcスパッタで膜厚50nmの窒化アルミニウム（AlN）からなる保護膜13を成膜した後、各電極、強誘電体薄膜11の加工をイオンミリングにて行ない強誘電体薄膜キャパシタ9を形成した。

【0032】(2) 次に、全面にスピンオンガラスをスピンコートし、所定の工程に従って乾燥、焼成を行ない、膜厚400nmの層間絶縁膜14を形成した。つづいて、前記MOSトランジスタのソース領域3、ドレイン領域4に対応する前記層間絶縁膜14及びBPSG膜7、及び強誘電体薄膜キャパシタ9の保護膜13、下部電極10に対応する層間絶縁膜14に夫々コンタクトホールを形成し

た。更に、全面にスパッタ法によりAl-Siからなる膜厚300nmの配線材料膜を成膜し、周知のウェットエッチ法を用いてこの配線材料膜をパターニングし、前記各コンタクトホールにソース取出し配線15、ドレイン取出し配線16、上部電極用取出し配線17、下部電極用取出し配線18が形成し、強誘電体薄膜キャパシタとMOSトランジスタが電気的に接続された強誘電体メモリを製造した。

【0033】このように、実施例1の強誘電体メモリは、互いに電気的に接続されたMOSトランジスタ6と強誘電体薄膜キャパシタ9からなり、前記MOSトランジスタ6は素子領域に形成されたソース領域3、ドレイン領域4及びゲート電極6などから構成され、前記強誘電体薄膜キャパシタ9は素子分離領域2上のBPSG膜7上に接着層8を介して形成された下部電極10、強誘電性PZT薄膜（強誘電体薄膜）11及び上部電極12から構成されている。しかるに、前記キャパシタ9の上面特に上部電極12の上面はAlNからなる保護膜13で被覆された構成されているため、還元性ガスの内部透過を遮断でき、強誘電体薄膜11表面の還元反応とこれに起因する電極剥離を防止することができる。

【0034】（実施例2）この実施例2は、実施例1と比べ、膜厚50nmの窒化チタン（ Ti_3N_4 ）からなる保護膜を用いた点を除いて、全く同様な構成である。窒化チタンからなる保護膜を用いた実施例2に係る強誘電体メモリによれば、実施例1と同様な効果が得られる。

【0035】（実施例3）図2を参照する。但し、図1と同部材は同符号を付して説明は省略する。図中の21は、強誘電体薄膜キャパシタ9の上面のみならず側面にも被覆形成された窒化シリコン（ Si_3N_4 ）からなる膜厚50nmの保護膜である。この保護膜21は、強誘電体薄膜キャパシタ9を形成した後、全面にdcスパッタで窒化シリコンを成膜することにより形成する。

【0036】上記実施例3によれば、強誘電体薄膜キャパシタ9の上面のみならず側面にも窒化シリコンからなる保護膜21が形成されているため、還元性ガスのキャパシタ側方への廻り込みを防止できる。

【0037】（実施例4）図3を参照する。但し、図1、3と同部材は同符号を付して説明は省略する。この実施例4は、強誘電体薄膜キャパシタ9の上面のみに形成されたAlNからなる保護膜13と、前記保護膜13の一部及び強誘電体薄膜キャパシタ9の側面を被覆する窒化シリコンからなる保護膜21を組み合わせた構成であることが特徴である。上記実施例4によれば、2種類の保護膜13、21の組み合わせにより強誘電体薄膜キャパシタ9の上部電極12の上面を被覆して水素遮蔽効果を上げることができ、還元性ガスのキャパシタ側方への廻り込みを防止できる。

【0038】（実施例5）この実施例5は、実施例3と

比べ、膜厚50nmの酸化シリコン(SiO_2)からなる保護膜と、この保護膜上の膜厚50nmの窒化シリコン(Si_3N_4)からなる保護膜の2層構造とした点を除いて、他の構成は全く同じである。

【0039】(実施例6)図4を参照する。但し、図1と同部材は同符号を付して説明は省略する。この実施例6は、実施例1と比べ、図1に図示されたA1Nからなる保護膜13の他に、コンタクトホール周辺の層間絶縁膜14上にもA1Nからなる保護膜41を設けた点が異なる。上記実施例6によれば、保護膜13を強誘電体薄膜キャパシタ9の上部電極12の上面に被覆するのみならず、キャパシタ群を直接被覆する層間絶縁膜14の上から基板全体を被覆するため、上部電極への水素遮蔽効果を上げることができるほか、還元性ガスのキャパシタ側方への回り込みを防止できる。

【0040】(実施例7)図5を参照する。但し、図1と同部材は同符号を付して説明を省略する。この実施例7は、実施例1と比べ、BPSG膜7と接着層8間にA1Nからなる膜厚50nmの保護膜51を設けた点を除いて全く同様な構成になっている。ここで、前記保護膜51、接着層8及び下部電極10は1つのマスクで同時にパターンニングにより形成してもよいし、別工程で形成してもよい。

【0041】(実施例8)この実施例8は、実施例3と比べ、強誘電体薄膜キャパシタの強誘電体薄膜として、ビスマス層状ペロブスカイト型化合物 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ のMOD薄膜(膜厚250nm)を用いる点、及び保護膜として膜厚80nmの強誘電性 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 薄膜を用いる点が異なる。ここで、前記保護膜は、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ のMOD前駆体溶液を1層スピコート塗布し、乾燥、仮焼を行なって仮焼薄膜を成膜し、次いで酸素雰囲気中で800℃において焼成処理を行なうことにより得た。

【0042】(実施例9)この実施例9は、実施例3と比べ、強誘電体薄膜キャパシタの強誘電体薄膜として、ビスマス層状ペロブスカイト型化合物 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ のMOD薄膜(膜厚250nm)を用いる点、及び保護膜として膜厚80nmの非強誘電性酸化物の非晶質膜を用いる点が異なる。ここで、前記保護膜は、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ のMOD前駆体溶液を1層スピコート塗布し、乾燥、400℃仮焼を行なって仮焼薄膜を成膜し、ひきつづき酸素雰囲気中で上記化合物の結晶化温度よりも十分低い600℃において焼成処理を行なって十分焼き締めることにより得た。

【0043】(実施例10)この実施例10は、実施例3と比べ、強誘電体薄膜キャパシタの強誘電体薄膜として、ビスマス層状ペロブスカイト型化合物 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ のMOD薄膜(膜厚250nm)を用いる点、及び保護膜として膜厚80nmの結晶性薄膜を用いる点が異なる。ここで、前記結晶性薄膜は、薄膜キャパシタ

の強誘電体 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ と一部共通の元素で構成される SrTa_2O_6 (タンタル酸ストロンチウム)のMOD前駆体溶液を1層スピコート塗布し、乾燥、400℃仮焼を行なって仮焼薄膜を成膜し、ひきつづき酸素雰囲気中で800℃において焼成処理を行なうことにより得た。

【0044】(実施例11)この実施例11は、実施例3と比べ、強誘電体薄膜キャパシタの強誘電体薄膜として、ビスマス層状ペロブスカイト型化合物 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ のMOD薄膜(膜厚250nm)を用いる点、及び保護膜として膜厚80nmの強誘電体性の $\text{SrBi}_2\text{Nb}_2\text{O}_9$ 薄膜を用いる点が異なる。ここで、前記強誘電体性薄膜は、 $\text{SrBi}_2\text{Nb}_2\text{O}_9$ の組成を有するMOD前駆体溶液を1層スピコート塗布し、乾燥、仮焼を行なって仮焼薄膜を成膜し、ひきつづき酸素雰囲気中で850℃において焼成処理を行なうことにより得た。

【0045】(実施例12)図6を参照する。但し、図1及び図5と同部材は同符号を付して説明を省略する。この実施例12は、実施例1と比べ、BPSG膜7の表面に保護膜としての膜厚80nmの強誘電体性 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 薄膜61を用いるとともに、キャパシタの上部電極12上に膜厚100nmの強誘電体性 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 薄膜62を設けた点を除いて全く同様な構成になっている。ここで、前記薄膜61は、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ の前駆体溶液を1層スピコート塗布し、乾燥、仮焼を行なって仮焼薄膜を成膜し、ひきつづき酸素雰囲気中で800℃において焼成処理を行なうことにより得た。また、前記薄膜62も、薄膜61と同様、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ の前駆体溶液を1層スピコート塗布し、乾燥、仮焼を行なって仮焼薄膜を成膜し、ひきつづき酸素雰囲気中で800℃において焼成処理を行なうことにより得た。

【0046】(実施例13)この実施例13は、実施例1と比べ、上部電極に保護膜を設けない点、及び強誘電体薄膜としてタンタル過剰強誘電性 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 薄膜を用いた点を除いて、構造が同じである。ここで、前記薄膜は次のようにして得られる。即ち、下部電極を形成した後、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ の前駆体溶液を化学量論比に対してタンタルが20モル%過剰となるように塗布溶液を調整して、スピコート塗布し、乾燥、仮焼を繰り返して仮焼薄膜を成膜し、ひきつづき酸素雰囲気中で800℃において焼成処理を行なうことにより得た。このようにして得られた前記薄膜をX線回折、ICP分析、電子顕微鏡観察等によって結晶構造を解析し、薄膜組成分析を行なったところ、薄膜内部では強誘電相と酸化タンタルを主とする常誘電相が混在し、薄膜表面には酸化タンタルが多く偏析していることが確認された。

【0047】(実施例14)この実施例14は、実施例13

と強誘電体薄膜のみが異なる。ここで、この強誘電体薄膜は、次のようにして得られる。即ち、下部電極を形成した後、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ の前駆体の化学量論比溶液をスピコート塗布し、乾燥、仮焼のサイクルを2回繰り返して仮焼薄膜を成膜し、最終層に化学量論比に対してタンタルが20モル%過剰となるように調整した第2の前駆体溶液を塗布、乾燥、仮焼して仮焼薄膜を成膜し、ひきつづき酸素雰囲気中で800℃において焼成処理を行なうことにより得た。このようにして得られた前記薄膜をX線回折、ICP分析、電子顕微鏡観察等によって結晶構造を解析し、薄膜組成分析を行なったところ、薄膜の大部分は強誘電相の $\text{SrBi}_2\text{Ta}_2\text{O}_9$ であり、薄膜表面にのみ酸化タンタルの偏析が確認された。

【比較例1】図7を参照する。但し、図1と同部材は同符号を付して説明を省略する。比較例1は、図1と比べ、保護膜を設けていない点を除いて、全く同じ構成となっている。但し、強誘電体として膜厚300nmの $\text{Pb}(\text{Zr}_{0.4}\text{Ti}_{0.6})\text{O}_3$ 薄膜を用いた。

【0048】（比較例2）比較例2は、図1と比べ、保護膜を設けていない点を除いて、全く同じ構成となっている。但し、強誘電体として膜厚300nmの $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 薄膜を用いた。

【0049】（実施例15）比較例2（ $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 薄膜を用いた強誘電体メモリ、配線電極パターン形成済み）上に、薄膜キャパシタ強誘電体を形成した $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 薄膜を成膜し、次いで酸素雰囲気中で600℃において焼成処理を行なって、膜厚100nmの非結晶性、非誘電性の $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 薄膜で表面被覆した。この後、この保護膜にMOSトランジスタ部に対応する部分のみ配線電極を露出させたMOSコンタクトホールを開口し、図8の強誘電体メモリを得た。なお、図8において、81はコンタクトホール、83は保護膜を示す。

【0050】上記実施例及び比較例1、2に係る強誘電体メモリを拡散炉中で水素5%を含む窒素ガス（フォーミグガス）雰囲気にて425℃、30分間のMOSシンター処理を行なった。その結果、比較例1、2では強誘電体薄膜—上部電極界面ではほとんどのキャパシタが剥離を起こした。これに対し、全ての実施例では電極剥離

が観察されず、強誘電ヒステリシス特性もMOSトランジスタ特性も良好で、強誘電体メモリは完全に動作した。

【0051】なお、上記各実施例では、下部電極、強誘電体薄膜、上部電極、保護膜、取出し配線等の材料の一例を述べたが、これらの材料に限定されないことは勿論のことである。

【0052】

【発明の効果】以上詳述したようにこの発明によれば、還元性ガスの内部拡散浸透を防止する保護膜を設けること、又は、強誘電体材料膜の一部構成元素を過剰に配合することにより、酸化物強誘電体表面の還元反応、変質を阻止し、また従来のようにMOSシンター工程において強誘電体薄膜と上下電極間の剥離を防止して、実用に供し得る強誘電体メモリを提供できる。

【図面の簡単な説明】

【図1】この発明の実施例1に係る強誘電体メモリの断面図。

【図2】この発明の実施例3に係る強誘電体メモリの断面図。

【図3】この発明の実施例4に係る強誘電体メモリの断面図。

【図4】この発明の実施例6に係る強誘電体メモリの断面図。

【図5】この発明の実施例7に係る強誘電体メモリの断面図。

【図6】この発明の実施例12に係る強誘電体メモリの断面図。

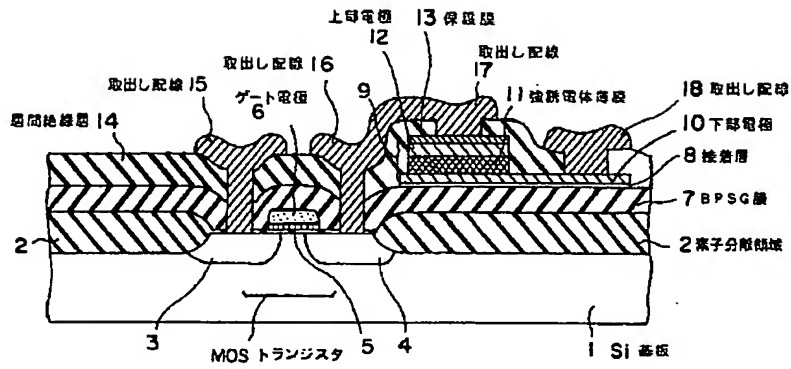
【図7】比較例1に係る強誘電体メモリの断面図。

【図8】この発明の実施例15に係る強誘電体メモリの断面図。

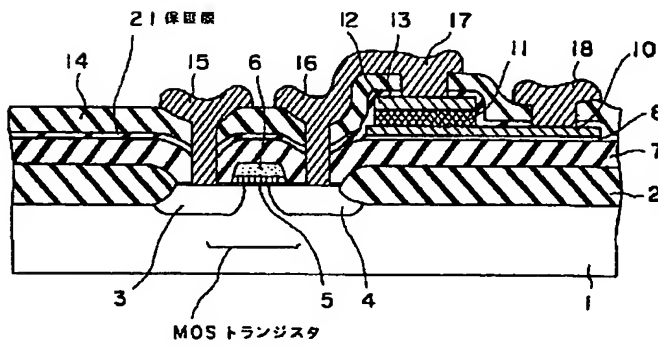
【符号の説明】

1…シリコン基板、2…素子分離領域、
3…ソース領域、4…ドレイン領域、5…ゲート絶縁膜、6…ゲート電極、7…BPSG膜、
8…接着層、9…強誘電体薄膜キャパシタ、
10…下部電極、11…強誘電体薄膜、12…上部電極、
13, 21, 41, 51, 61, 82…保護膜、
15~18…取出し配線、81…コンタクトホール。

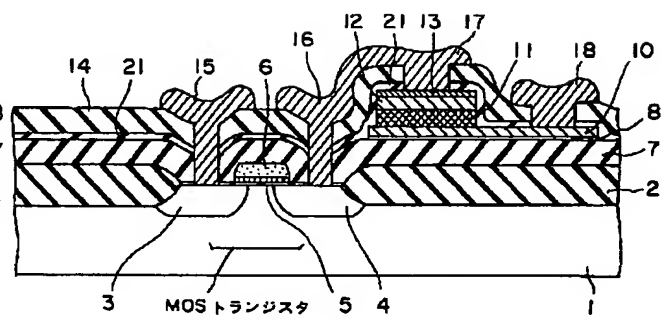
【図1】



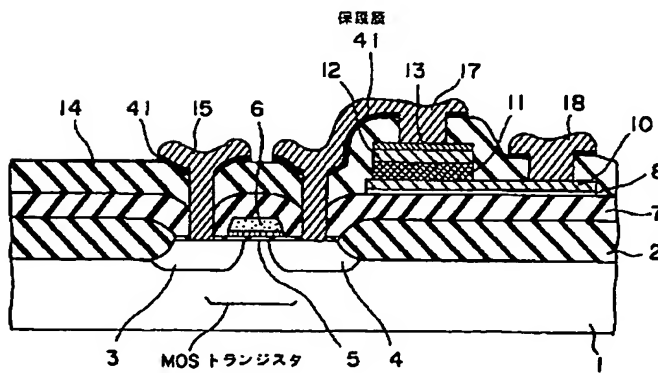
【図2】



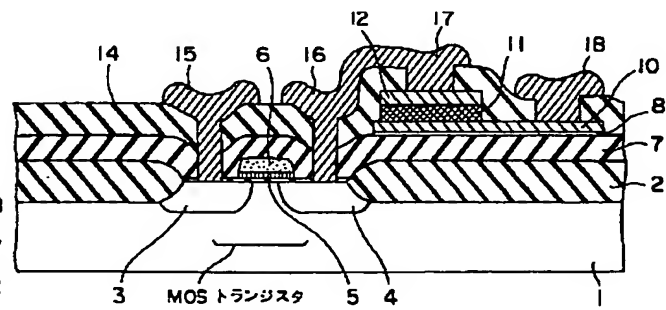
【図3】



【図4】



【図7】



A detailed cross-sectional diagram of a semiconductor device, identified as a MOS transistor. The diagram shows a substrate (1) with a gate stack (2, 3, 4) and various contact regions (5, 6, 7, 8, 9, 10, 11, 12, 13, 14, 15, 16, 17, 18). The gate stack consists of a gate oxide (2), a gate stack (3), and a gate electrode (4). The contact regions are formed by a conductive layer (5) and a dielectric layer (6). The device is shown in a cross-sectional view, highlighting the internal structure and the various layers and components.

技術表示箇所

東京都渋谷区幡ヶ谷2丁目43番2号 オリ
ンパス光学工業株式会社内

(72)発明者 田所 かおる
東京都渋谷区幡ヶ谷 2 丁目 43 番 2 号 オリ
ンパス光学工業株式会社内

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 13 年 8 月 31 日 (2001. 8. 31)

【公開番号】特開平 7-111318

【公開日】平成 7 年 4 月 25 日 (1995. 4. 25)

【年通号数】公開特許公報 7-1114

【出願番号】特願平 5-254378

【国際特許分類第 7 版】

H01L 27/10 451

G11C 11/22

H01L 27/04

21/822

21/8242

27/108

【F I】

H01L 27/10 451

G11C 11/22

H01L 27/04 C

27/10 325 J

【手続補正書】

【提出日】平成 12 年 10 月 6 日 (2000. 10. 6)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項 1】半導体基板と、

2つの電極層とこの電極層間に設けられた酸化物強誘電体層からなる、前記半導体基板上に設けられた前記半導体基板を被覆する強誘電体薄膜キャパシタと、前記酸化物強誘電体層への水素の拡散を防止する、前記強誘電体薄膜キャパシタを被覆する保護膜と、を具備したことを特徴とする強誘電体メモリ。

【請求項 2】前記保護膜が、前記強誘電体薄膜キャパシタを構成する前記酸化物強誘電体層が含む酸化物と同じ酸化物を含むことを特徴とする請求項 1 記載の強誘電体メモリ。

【請求項 3】前記保護膜が、前記強誘電体薄膜キャパシタを構成する前記酸化物強誘電体層が含む元素と同じ元素を含む酸化物を含むことを特徴とする請求項 1 記載の強誘電体メモリ。

【請求項 4】前記半導体基板と強誘電体キャパシタ間に保護膜と同組成、同構造の下引層を設けたことを特徴とする請求項 1 に記載の強誘電体メモリ。

【請求項 5】前記強誘電体薄膜キャパシタと半導体基板上に別途設けられたトランジスタ素子群が前記保護膜及

び／又はこの保護膜に積層された層間絶縁膜を隔てて窒化アルミニウムとアルミニウム-シリコン合金の積層配線電極で電気的に接続されていることを特徴とする請求項 1 に記載の強誘電体メモリ。

【請求項 6】前記酸化物強誘電体薄膜が、下記一般式

(1) で表現される組成を有するビスマス層状ペロブスカイト型化合物からなり、かつ膜厚方向に下記元素 B の濃度勾配を有し、上部電極との界面においては元素 B が富裕に含有されていることを特徴とする請求項 1 記載の強誘電体メモリ。



但し、 $A = B i, P b, B a, S r, C a, N a, K, C d$ の内から選ばれる 1 つもしくは複数元素からなる任意比率による組み合わせ。 $B = T i, N b, T a, W, M o, F e, C o, C r$ の内から選ばれる 1 つもしくは複数元素からなる任意比率による組み合わせ。 $m = 1 \sim 5$ の自然数。

【請求項 7】前記ビスマス層状ペロブスカイト化合物が $S r B i_2 (T a_x N b_{1-x})_2 O_9$ ($x = 0 \sim 1.0$) であり、元素 B が T a 又は N b であることを特徴とする請求項 6 に記載の強誘電体メモリ。

【請求項 8】前記保護膜がアルミニウム、シリコン、もしくはチタンの窒化物薄膜を主要な構成要素とすることを特徴とする請求項 1 記載の強誘電体メモリ。

【請求項 9】前記保護膜が、部分結晶膜であることを特徴とする請求項 2 記載の強誘電体メモリ。

【請求項 10】前記保護膜が、非晶質膜であることを特徴とする請求項 2 記載の強誘電体メモリ。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正内容】

【0013】

【課題を解決するための手段】この発明は、半導体基板

と、この基板上に設けられ上記基板を被覆する、2つの電極層とこの電極層間に設けられた酸化物強誘電体層からなる強誘電体薄膜キャパシタと、この強誘電体薄膜キャパシタを被覆する酸化物強誘電体層への水素の拡散を防止する保護膜と、を具備したことを特徴とする強誘電体メモリである。